

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-010495

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

G02F 1/133

G09G 3/36

(21)Application number : 08-166332

(71)Applicant : CANON INC

(22)Date of filing : 26.06.1996

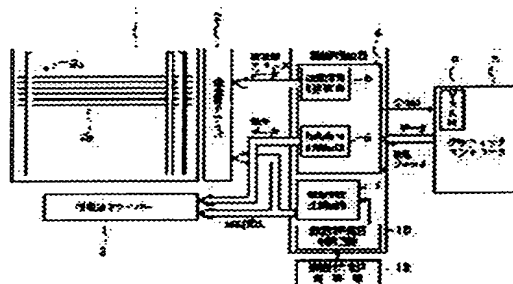
(72)Inventor : IBA JUN  
KATAKURA KAZUNORI  
OKADA SHINJIRO

## (54) LIQUID CRYSTAL DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a liquid crystal device which can widen the driving margin even when liquid crystals with asymmetrical threshold characteristic are used.

**SOLUTION:** An DC voltage impressing means 10 impresses a weak DC voltage component on an information signal to be impressed on a matrix of the information electrode group 3a formed on a pair of opposing substrates. An impressed voltage adjusting means 12 controls the DC voltage impressing means 10 to adjust the magnitude of the DC voltage component. Thereby the magnitude of the synthesized signal of the scan signal and the information signal is adjusted and the asymmetry of switching of the liquid crystal is resolved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

## ⑫ 公開特許公報(A)

昭64-10495

⑬ Int. Cl.<sup>4</sup>

G 11 C 11/34

識別記号

3 5 4

庁内整理番号

A-8522-5B

⑭ 公開 昭和64年(1989)1月13日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 ダイナミックRAMの読み出し回路

⑯ 特 願 昭62-164544

⑰ 出 願 昭62(1987)7月1日

⑱ 発 明 者	山 内	寛 行	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	山 田	俊 郎	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	井 上	道 弘	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑳ 出 願 人	松下電器産業株式会社		大阪府門真市大字門真1006番地	
㉑ 代 理 人	弁理士 中尾 敏男		外1名	

## 明 細 書

## 1、発明の名称

ダイナミックRAMの読み出し回路

## 2、特許請求の範囲

- (1) メモリセルに結合を有する第1ビット線対と、この第1ビット線対に生じた電位差を検知増幅する、NチャネルMOS型トランジスタで構成したフリップフロップ回路と、PチャネルMOS型トランジスタで構成したフリップフロップ回路からなる第1増幅回路と、この第1増幅回路の出力線対と、スイッチ素子を介して結合された第2ビット線対と、この第2ビット線対に結合するNチャネルMOS型トランジスタで構成したフリップフロップ回路と、PチャネルMOS型トランジスタで構成したフリップフロップ回路からなる第2増幅回路と、この第2増幅回路の出力線対と結合するカレントミラー型増幅回路を有し、前記第2増幅回路の前記NチャネルMOS型トランジスタで構成されたフリップフロップ回路のアース電源と結合する活性化トランジスタを、PチャネルMOS型トランジスタで構成し、前記PチャネルMOS型トランジスタで構成されたフリップフロップ回路のVcc電源と結合する活性化トランジスタをNチャネルMOS型トランジスタで構成し、さらに前記スイッチ素子を制御する制御回路を設けて前記第2ビット線対の信号振幅を、前記第1ビット線対の信号振幅よりも小さく制御するようにしたダイナミックRAMの読み出し回路。
- (2) アース電源と結合する活性化トランジスタに印加するゲート電圧、電源と結合する活性化トランジスタに印加するゲート電圧を制御し、第2ビット線の信号振幅を制御する特許請求範囲第1項記載のダイナミックRAMの読み出し回路。

## 3、発明の詳細な説明

産業上の利用分野

本発明はダイナミックRAMの読み出し回路に関するものである。

従来の技術

従来のダイナミックRAMの読み出し回路の構成を、第3図、第4図を用いて説明する。

第3図は、1は第2増幅回路4の活性化トランジスタで、2は第1増幅回路5の活性化トランジスタで、6はメモリセルで、7は第1ビット線対、8は第2ビット線対、9はスイッチ素子、10、21はNチャネルMOS型トランジスタで構成されたフリップフロップ回路のアース電源13と結合するNチャネルMOS型トランジスタで、11、20はPチャネルMOS型トランジスタで構成されたフリップフロップ回路のVcc電源12と結合するPチャネルMOS型トランジスタで、22はワード線である。第4図は、第3図に示す第2増幅回路の替りに、カレントミラー型増幅回路を用いている以外は、第3図に示すものと同じである。

従来のダイナミックRAMの読み出し回路の動作を第5図、第6図を用いて説明する。

第5図、6図の50は、第3図に示す従来例のワード線22の電圧波形、51、52は、第1ビット線対7の電圧波形、53、54は、第2ビッ

さらに、その電位差53、54を、カレントミラー型増幅回路3の入力として、増幅し、列デコーダ回路を通して出力データ線に出力されていた。

発明が解決しようとする問題点

しかしながら上記のような読み出し回路では、以下の問題点がある。

第3図に示す従来例においては、第1ビット線対7の容量に比較して大容量の第2ビット線対を、0~Vccまで増幅するため、消費電力が大きくなることや、また増幅時間に、時間がかかるため、読み出し速度が遅くなるという問題がある。一方、第4図に示す従来例においては、第3図の従来例で問題となる消費電力の問題は克服しているが、スイッチ素子9のONしている時間と、スイッチ素子9がONするまでに、第1ビット線対7が増幅されている電圧51、52と、第1ビット線対7と第2ビット線対8の容量比により、第2ビット線対8が増幅される電圧53、54が決定されるため、その電位差53、54を入力とするカレントミラー型増幅回路3が高速に増幅できるだけ

ト線対8の電圧波形である。

ワード線22の電圧が0VからVcc+αまで駆動されるとメモリセル6のスイッチングトランジスタがONになり、キャパシタに蓄積されていた電荷の第1ビット線対への移動により生じた第1ビット線対7の電位差51、52を、第1増幅回路5で検知し、0~Vccまで増幅する。その時、スイッチ素子9をONさせ、電位差51、52を第2ビット線対8に伝達する。ここまでは、第3図、第4図に示す従来例のどちらも同じ動作で、その後が異なる。まず第3図に示す従来例は、その後第2の増幅回路5を活性化トランジスタ2で駆動し、第2ビット線対8も、第5図53、54に示すように、0~Vccまで増幅し、列デコーダ回路を通して出力データ線に出力されていた。一方、第4図に示す従来例は、その後、第2ビット線対8を、スイッチ素子9をOFFさせることにより、第1ビット線対7から切り離すことで、第6図53、54に示すように、第1ビット線対7の電圧51、54よりも低電圧におさえている。

の十分な入力電位差53、54を補償するには、高性能なスイッチ素子9の制御回路により第1ビット線対7と第2ビット線対8がスイッチ素子9を介して接続されている時間を制御してやる必要があり、回路が複雑になる問題があるし、カレントミラー型増幅回路3の入力電位差53、54が小さすぎた場合には、読み出し速度が遅くなるという問題点があるし、ダイナミックRAMの大容量化に伴い、第1ビット線対と第2ビット線対の容量比は大きくなると考えられ、ますます、増幅回路3の入力電位差53、54を、短時間に、充分得ることは困難になると考えられる。

本発明は、かかる点に鑑み、種々考案した結果、本発明を完成するに至ったものである。

問題点を解決するための手段

本発明は、メモリセルに結合を有する第1ビット線とこの第1ビット線対に生じた電位差を検知増幅する、NチャネルMOS型トランジスタで構成したフリップフロップ回路と、PチャネルMOS型トランジスタで構成したフリップフロップ回路

からなる第1増幅回路と、この第1増幅回路の出力線対とスイッチ素子を介して結合された第2ビット線対と、この第2ビット線対に結合するNチャネルMOS型トランジスタで構成したフリップフロップ回路と、PチャネルMOS型トランジスタで構成したフリップフロップ回路からなる第2増幅回路と、この第2増幅回路の出力線対と結合するカレントミラー型増幅回路を有し、前記第2増幅回路の前記NチャネルMOS型トランジスタで構成されたフリップフロップ回路のアース電源と結合する活性化トランジスタを、PチャネルMOS型トランジスタで構成し、前記PチャネルMOS型トランジスタで構成されたフリップフロップ回路の電源と結合する活性化トランジスタを、NチャネルMOS型トランジスタで構成し、さらに、前記スイッチ素子を制御する制御回路を設けて、前記第2ビット線対の信号振幅を、前記第1ビット線対の信号振幅よりも小さく制御することにより、上記の問題点を解決する。

#### 作用

～( $V_{gsn}-V_{thn}$ )までしか増幅されないので解決される。又、スイッチ素子をONにして、第1ビット線7から第2ビット線8に信号を伝達する場合、スイッチ素子9をONにするタイミングや、ONにしている時間に、第2ビット線8の電位変化量が、大きく影響し、次段のカレントミラー型増幅回路3の動作に影響を及ぼすという問題点は、もし第2ビット線8の電位変化量が小さくても、第2増幅回路4が、カレントミラー型増幅回路3の入力である第2ビット線の電位を( $V_{gsp}-V_{thp}$ )～( $V_{gsn}-V_{thn}$ )まで増幅するので、増幅回路3は、安定に動作するため、高速化がはかれる。

#### 実施例

第1図、第2図に、本発明のダイナミックRAMの読み出し回路の回路例およびその動作を説明する波形図を示す。

尚、第1図に示す本発明の実施例の回路は、基本的には第3図、第4図に示した従来の回路と同じ構成であるので、同一構成部分には、同一番号を付して詳細な説明は省略する。

本発明によれば、第2増幅回路4を構成しているNチャネルMOS型トランジスタからなるフリップフロップ回路の活性化トランジスタは、PチャネルMOS型トランジスタ10とアース電源13とから構成され、PチャネルMOS型トランジスタからなるフリップフロップ回路の活性化トランジスタは、NチャネルMOS型トランジスタ10とVcc電源12とから構成されているため、第2増幅回路4は( $V_{gsp}-V_{thp}$ )～( $V_{gsn}-V_{thn}$ )までしか増幅しない。以後、 $V_{thp}$ は、PチャネルMOS型トランジスタ11のしきい値電圧 $V_{thn}$ はNチャネルMOS型トランジスタ10のしきい値電圧、 $V_{gsp}$ は、NチャネルMOS型トランジスタ10のゲートソース間電圧とする。 $V_{gsp}$ は、PチャネルMOS型トランジスタ11のゲートソース間電圧とする。

このため、従来例で問題であった第2ビット線8が第1ビット線7と同じVcc振幅まで振幅されるため、充放電電流が増え、消費電力が増えるという問題は、本発明によれば、第2ビット線8が( $V_{gsp}-V_{thp}$ )

まず第1図に示す読み出し回路の構成を説明すると、第1増幅回路5の出力線対7(第1ビット線対7)を、スイッチ素子9を介して第2のビット線対8に接続して、第2のビット線対8に対応して第2の増幅回路4を設け、第2増幅回路4の出力線対8(第2ビット線対8)に対応してカレントミラー型増幅回路3を設けている。そして、第2増幅回路4の活性化トランジスタ1は、アース電源13に結合する方をPチャネルトランジスタ11で、Vcc電源12に結合する方をNチャネルトランジスタ10で構成している。

次に、第1図に示す読み出し回路の動作を、第2図を用いて説明する。

時間 $t_0$ において、ワード線22の1本を、 $V_{cc}+\alpha$ の電位にすることによりそのワード線に対応したメモリの情報が読み出され、第1のビット線対7に生じた電位差をフリップフロップ型の増幅回路5をラッチし、時間 $t_1$ において、第1増幅回路5を活性化トランジスタ2を用いて駆動し増幅を開始する。次に時間 $t_2$ においてス

スイッチ素子 8 をオンし、第 1 ビット線対 7 と第 2 ビット線対 9 を接続する。次に、時間  $t_3$  においてスイッチ素子 8 をオフにする。又、同時に、増幅回路 4 の活性化トランジスタ 1 の、P チャネルトランジスタ 11 のゲートに 0V、N チャネルトランジスタのゲートに  $V_{cc}$  を印加することによって、増幅回路 4 を駆動し、増幅を開始する。又、同時に、( $t = t_3$ ) に増幅回路 3 も駆動させる。その結果増幅回路 3 の出力 60 がでる。

次に、本実施例の効果について述べる。

第 1 図に示す本発明の実施例においては、第 1 ビット線対 7 の電位差を、第 2 ビット線に、スイッチ素子 9 のパルスのオン・オフにより伝えることにより、第 1 ビット線対 7 は、第 2 ビット線対 8 のビット線容量の影響を大きく受けずに、再書き込みのための増幅が継続できる。又、第 2 ビット線対 8 に伝えられる電位差が小さくても、第 2 増幅回路 4 により、( $V_{gsp} - V_{thp}$ ) ~ ( $V_{gsn} - V_{thn}$ ) までは、増幅されるので、カレントミラー型増幅回路 3 は、入力 (第 2 ビット線対 8 の電位差) は

補償され、安定な動作ができ、高速に出力が得られる。又、第 2 ビット線対 8 は小振幅 ( $(V_{gsp} - V_{thp}) \sim (V_{gsn} - V_{thn})$ ) なので低消費化の効果もあり、本発明の実施例の読み出し回路は、低消費電力で高速な読み出しの実現を可能にするものである。

#### 発明の効果

本発明によれば、第 1 ビット線の電位差を第 2 ビット線に、スイッチ素子をパルスのオン・オフすることにより、伝えることにより、メモリセルに接続されている第 1 ビット線の増幅期間 (再書き込み期間) において、大きなビット線容量をもつ第 2 ビット線の影響を少なくでき、再書き込みの高速化ができる。又、第 2 ビット線に伝えられる電位差が小さくても、第 2 増幅回路により、カレントミラー型増幅回路が高速に動作できるだけの入力 ( $V_{gsp} - V_{thp}$ ) ~ ( $V_{gsn} - V_{thn}$ ) まで増幅される。よって読み出しの高速化が可能であり、第 2 ビット線の充放電電流を少なくできることから、低消費電力化が可能である。

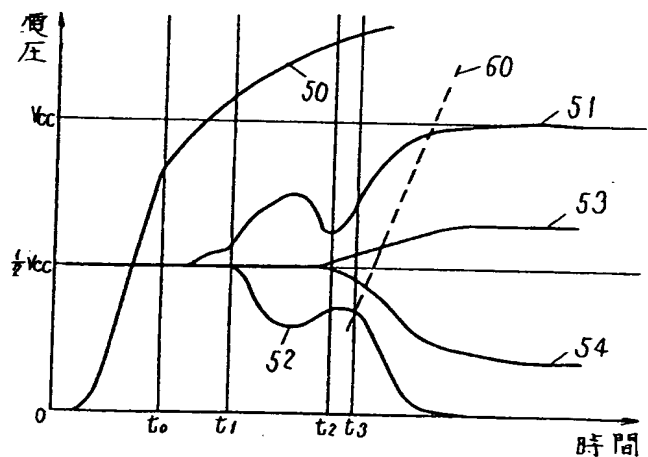
#### 4. 図面の簡単な説明

第 1 図は本発明におけるダイナミック RAM の読み出し回路の実施例の回路図、第 2 図はこの実施例回路の動作を説明するための説明図、第 3 図、第 4 図は従来例の回路図、第 5 図、第 6 図は同従来例の動作を説明するための説明図である。

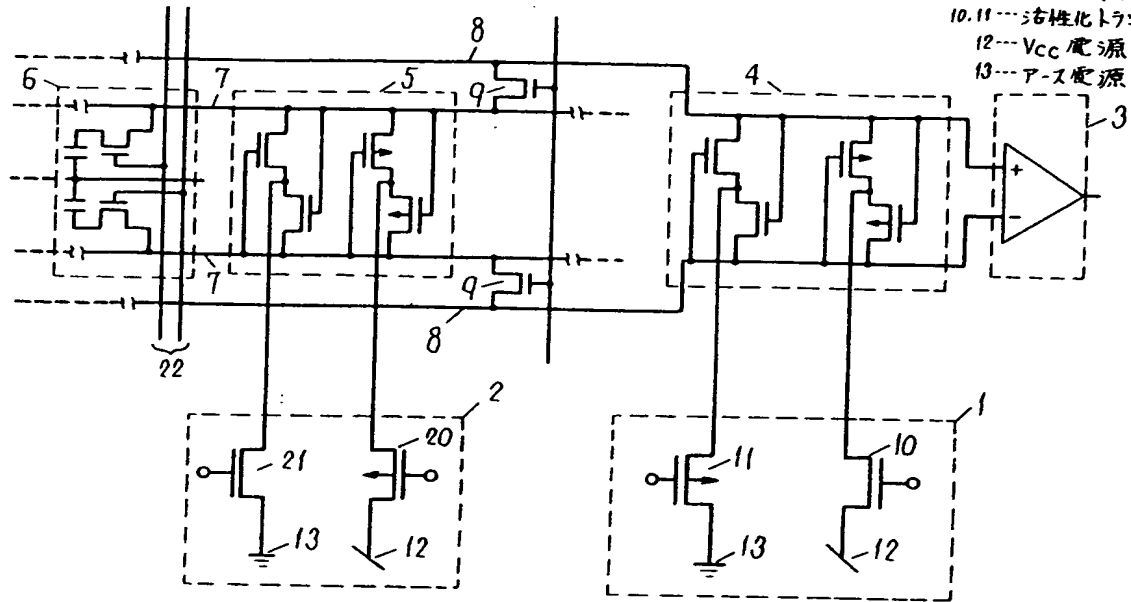
3 ……カレントミラー型増幅回路、4 ……第 2 増幅回路、5 ……第 1 増幅回路、7 ……第 1 ビット線対、8 ……第 2 ビット線対、9 ……スイッチ素子、10, 11 ……第 2 増幅回路の活性化トランジスタ、12 …… $V_{cc}$  電源、13 ……アース電源。

代理人の氏名 井理士 中 尾 敏 男 ほか 1 名

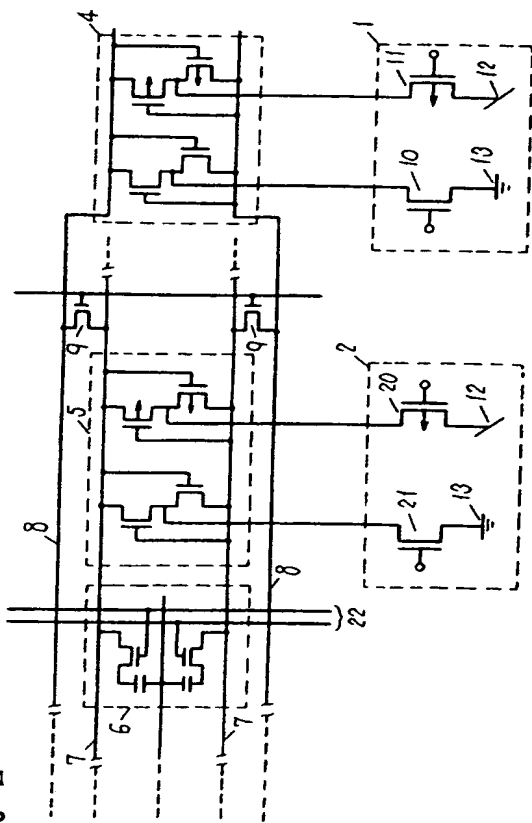
第 2 図



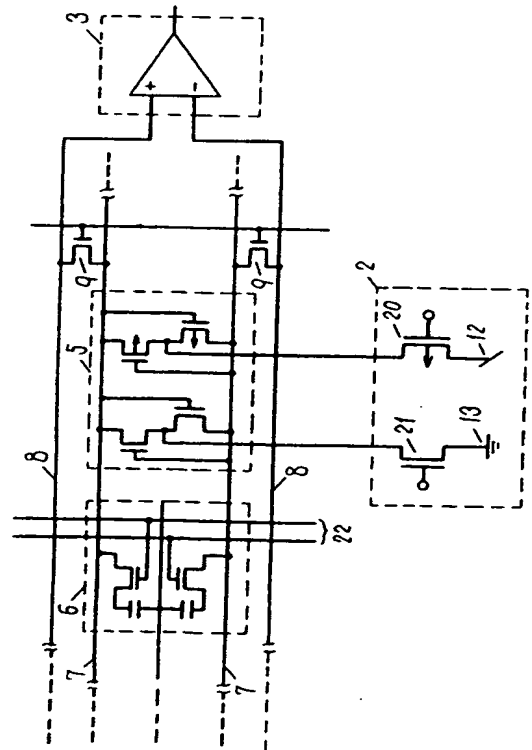
第 1 図



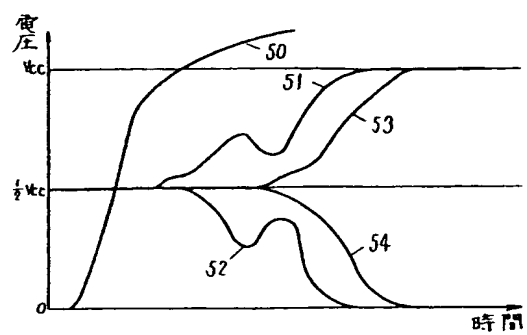
第 3 図



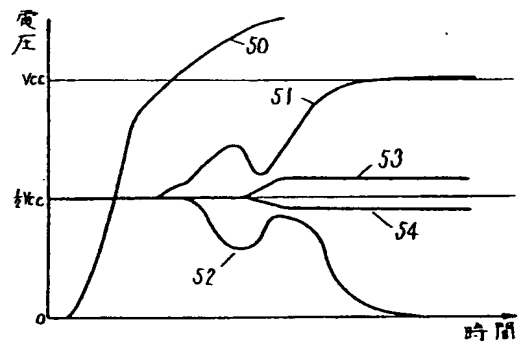
第 4 図



第 5 圖



第 6 圖





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**